

Οδηγίες για την Εργ. Άσκηση 7

Εισαγωγή

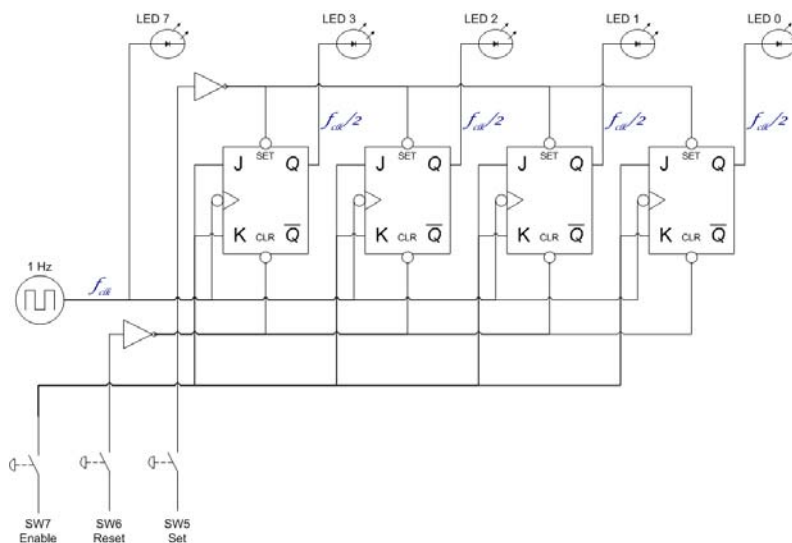
Για την Άσκηση 7 θα χρησιμοποιηθεί για πρώτη φορά το ολοκληρωμένο **74LS76** (*DUAL JK FLIP-FLOPS WITH PRESET AND CLEAR*). Ο πίνακας λειτουργίας (*function table*) και το διαγραμματικό για το ολοκληρωμένο αυτό είναι στη σελίδα 45 του φυλλαδίου. **ΠΡΟΣΟΧΗ** στις συνδέσεις για τα **Vcc** και **GND**. Οι αντίστοιχοι ακροδέκτες είναι σε διαφορετικές θέσεις από εκείνους των ολοκληρωμένων που χρησιμοποιήθηκαν έως τώρα.

ΓΙΑ ΤΗ ΜΕΛΕΤΗ ΣΑΣ ΓΙΑ ΤΗΝ ΠΡΟΕΤΟΙΜΑΣΙΑ ΤΗΣ ΑΣΚΗΣΗΣ **ΣΤΟ ΣΠΙΤΙ** ΕΙΝΑΙ ΑΠΑΡΑΙΤΗΤΗ Η ΕΠΙΣΚΕΨΗ ΣΑΣ ΣΤΟ FORUM ΤΟΥ ΕΡΓ. ΛΟΓΙΚΗΣ ΣΧΕΔΙΑΣΗΣ (ΒΛΠ. [3] ΣΤΙΣ ΑΝΑΦΟΡΕΣ ΣΤΟ ΤΕΛΟΣ ΤΩΝ ΟΔΗΓΙΩΝ) ΚΑΙ ΠΙΟ ΣΥΓΚΡΕΚΡΙΜΕΝΑ Η ΜΕΛΕΤΗ ΤΩΝ ΔΗΜΟΣΙΕΥΣΕΩΝ ΠΟΥ ΕΧΟΥΝ ΓΙΝΕΙ ΓΙΑ ΤΗΝ ΑΣΚΗΣΗ 7.

ΔΙΑΔΙΚΑΣΙΑ

Έλεγχος ορθής λειτουργίας του 74LS76

Όλα τα ολοκληρωμένα που χρησιμοποιούνται στις ασκήσεις, πριν τοποθετηθούν στα bb, ελέγχονται με τον IC tester του Εργαστηρίου για να διαπιστωθεί η σωστή λειτουργία τους. Ωστόσο ένα "known issue" για τον IC tester δε μας επιτρέπει τον έλεγχο της σωστής λειτουργίας των 74LS76. Γι αυτό η κάθε ομάδα καλείται να ελέγξει από μόνη της τα 74LS76 πριν τα χρησιμοποιήσει, εκτελώντας τη διαδικασία που περιγράφεται στην παρακάτω παράγραφο.



Εικόνα 1: Συνδεσμολογία για τον έλεγχο της ορθής λειτουργίας του 74LS76.

Η διαδικασία (βλπ. Εικόνα 1) του ελέγχου της ορθής λειτουργίας των 74LS76 που διατίθενται σε κάθε ομάδα βασίζεται στη δυνατότητά μας να επαληθεύσουμε ότι **ΚΑΙ ΤΑ ΔΥΟ** JK FLIP-FLOPS (στο εξής: JK f-f) που είναι ολοκληρωμένα σε καθένα από αυτά μπορεί να εκτελέσει τις βασικές λειτουργίες που συνοψίζονται στο *function table* της σελίδας 45 του *Φυλλαδίου*. Ίσως η βασικότερη από αυτές είναι η χαρακτηριστική λειτουργία των JK f-f να κάνουν **"TOGGLE"**. Συγκεκριμένα, όπως συνοψίζεται στην τελευταία γραμμή του *function table*, όταν **PRESET = CLEAR = J = K = 1**, τότε στην **κατερχόμενη ακμή** του ρολογιού τα JK FLIP-FLOPS αλλάζουν την κατάστασή τους στη δυαδική τους (**Q = 1 αν Q₀ = 0 ή Q = 0 αν Q₀ = 1**). Επομένως, η κατάσταση των τεσσάρων JK f-f που θα απεικονίζεται **ταυτόχρονα** στα τέσσερα LEDs θα εναλλάσσεται μεταξύ **0 → 1 → 0** με συχνότητα μισή από αυτή του **CLK** (ρολόι από τη γεννήτρια εναλλασσόμενων συχνοτήτων). Με μία σύνδεση ανάμεσα στη γραμμή των **CLK** και του LED7 δίνεται η δυνατότητα του ελέγχου των εναλλαγών του σήματος **CLK** ταυτόχρονα με αυτές των καταστάσεων των τεσσάρων JK f-f.

ΠΡΟΤΕΙΝΕΤΑΙ ΣΤΙΣ ΟΜΑΔΕΣ, ΑΜΕΣΩΣ ΜΕΤΑ ΤΟΝ ΕΛΕΓΧΟ ΤΩΝ JK F-F, ΝΑ ΠΡΟΧΩΡΗΣΟΥΝ ΣΤΗΝ ΥΛΟΠΟΙΗΣΗ ΤΟΥ ΚΥΚΛΩΜΑΤΟΣ ΠΟΥ ΖΗΤΕΙΤΑΙ ΓΙΑ ΤΟ ΕΡΩΤΗΜΑ (A.1), ΚΑΘΩΣ ΠΡΑΚΤΙΚΑ ΜΠΟΡΕΙ ΝΑ ΥΛΟΠΟΙΗΘΕΙ ΕΥΚΟΛΑ ΜΕ ΤΗΝ ΑΠΛΗ ΠΑΡΕΜΒΟΛΗ ΤΡΙΩΝ (#2 Η' #3) ΠΥΛΩΝ AND ΣΕ ΚΑΠΟΙΕΣ ΑΠΟ ΤΙΣ ΣΥΝΔΕΣΕΙΣ ΤΟΥ ΚΥΚΛΩΜΑΤΟΣ ΠΟΥ ΦΑΙΝΕΤΑΙ ΣΤΗΝ ΕΙΚΟΝΑ 1.

Ερωτήματα A.1 και A.2

Οι ομάδες καλούνται να υλοποιήσουν έναν σύγχρονο μετρητή των 4 bit.

Αμέσως μετά την υλοποίηση και τον έλεγχο της σωστής λειτουργίας του μετρητή, οι ομάδες θα προβούν στη σύνδεση της εξόδου Q3 (από τον ακροδέκτη/έξοδο του chip και **ΟΧΙ** από την είσοδο του LED2) στο **CH1** του παλμογράφου και του σήματος CLK στο **CH2**. Ρυθμίσεις στο παλμογράφο και/ή στη γεννήτρια είναι απαραίτητες ώστε στην οθόνη του παλμογράφου να εμφανιστούν **καθαρά οι αναμενόμενες «ακολουθίες χρονισμού» που θα έχουν ΗΔΗ σχεδιαστεί στα *Πρόχειρά* σας από το σπίτι.**

ΘΑ ΠΡΕΠΕΙ ΟΛΟΙ ΝΑ ΕΙΣΤΕ ΕΝΗΜΕΡΩΜΕΝΟΙ ΣΧΕΤΙΚΑ ΜΕ ΤΙΣ ΒΑΣΙΚΕΣ ΛΕΙΤΟΥΡΓΙΕΣ ΚΑΙ ΡΥΘΜΙΣΕΙΣ ΤΟΥ ΕΡΓ. ΠΑΛΜΟΓΡΑΦΟΥ – [2].

Ερωτήματα A.3 και A.4

Οι ομάδες καλούνται να υλοποιήσουν έναν ασύγχρονο μετρητή (ριπής) των 4 bit που θα έχει τη δυνατότητα να μετράει **UP** (συνεχώς αύξουσα μέτρηση) ή **DOWN** (συνεχώς μειούμενη μέτρηση). Ο έλεγχος **UP/DOWN** του μετρητή θα γίνεται με τη χρήση **ΕΝΟΣ ΜΟΝΟ** βοηθητικού σήματος που θα οδηγείται από **ΕΝΑΝ ΜΟΝΟ** διακόπτη (SW5) και **ΔΕ ΘΑ ΧΡΗΣΙΜΟΠΟΙΗΘΕΙ ΔΕΥΤΕΡΟΣ ΔΙΑΚΟΠΤΗΣ ΓΙΑ ΤΟ "DOWN"**. Ο διακόπτης που θα χρησιμοποιηθεί για τα

UP/DOWN θα έχει δύο θέσεις, τις **λογικό 1** (UP) και **λογικό 0** (DOWN). Η συγκεκριμένη περιγραφή «φωτογραφίζει» τη χρήση ενός αντιστροφέα (inverter). Σε κάθε περίπτωση τα UP – DOWN **ΔΕ ΘΑ ΠΡΕΠΕΙ ΝΑ ΠΑΙΡΝΟΥΝ ΤΑΥΤΟΧΡΟΝΑ ΤΙΣ ΤΙΜΕΣ 0 ΚΑΙ 1** (δηλαδή ο μετρητής θα μετρά είτε UP είτε DOWN).

Αμέσως μετά την υλοποίηση και τον έλεγχο της σωστής λειτουργίας του μετρητή, οι ομάδες θα προβούν στη σύνδεση της εξόδου Q4 (από τον ακροδέκτη/έξοδο του chip και **ΟΧΙ** από την είσοδο του LED3) στο **CH1** του παλμογράφου και του σήματος CLK στο **CH2**. Ρυθμίσεις στο παλμογράφο και/ή στη γεννήτρια είναι απαραίτητες ώστε στην οθόνη του παλμογράφου να εμφανιστούν **καθαρά οι αναμενόμενες κυματομορφές χρονισμού που έχουν ΗΔΗ σχεδιαστεί στα Πρόχειρά σας από το σπίτι**. Τα αναμενόμενα Σήματα Χρονισμού (που θα έχετε σχεδιάσει από το σπίτι) θα είναι της ίδιας μορφής με τα αντίστοιχα που βρίσκετε στο [1]. Παραδείγματα:

- Σχ. 6-17, σελ. 334, Μ. Μανο, 3^η και 4^η έκδοση.
- Σχ. 6-19, σελ. 343, Μ. Μανο, 3^η και 4^η έκδοση.

ΘΑ ΠΡΕΠΕΙ ΟΛΟΙ ΝΑ ΕΙΣΤΕ ΕΝΗΜΕΡΩΜΕΝΟΙ ΣΧΕΤΙΚΑ ΜΕ ΤΙΣ ΒΑΣΙΚΕΣ ΛΕΙΤΟΥΡΓΙΕΣ ΚΑΙ ΡΥΘΜΙΣΕΙΣ ΤΟΥ ΕΡΓ. ΠΑΛΜΟΓΡΑΦΟΥ – [2].

Ερωτήματα B.1 και B.2

ΚΑΜΙΑ ΟΜΑΔΑ ΔΕ ΘΑ ΠΡΟΧΩΡΗΣΕΙ ΣΕ ΑΥΤΑ ΤΑ ΕΡΩΤΗΜΑΤΑ ΠΡΙΝ ΟΛΟΚΛΗΡΩΣΕΙ ΤΑ ΕΡΩΤΗΜΑΤΑ ΤΟΥ ΜΕΡΟΥΣ Α'.

Στο ερώτημα (B.1) ζητείται η υλοποίηση ενός *προγραμματιζόμενου δυαδικού μετρητή* των 4 bit. Ωστόσο, το κύκλωμα που απαιτείται για να σχεδιαστούν οι ζητούμενες ακολουθίες χρονισμού του ερωτήματος (B.2) είναι αυτό ενός *προγραμματιζόμενου μετρητή modulo N*. (Ανατρέξτε στους ορισμούς που δίνονται στο *Φυλλάδιο* και/ή στο βασικό σύγγραμμα - [1]). Το κύκλωμα του (B.2) δύναται να προκύψει από αυτό του (B.1) με χρήση μιας **ελάχιστης** πλην όμως κατάλληλης επέκτασης του με έναν συνδυασμό συνδυαστικής και ακολουθιακής λογικής.

Αναφορές

[1] «Ψηφιακή Σχεδίαση», Μ. Morris Mano.

[2] «Εγχειρίδιο του Εργαστηριακού Παλμογράφου» -

http://www.ceid.upatras.gr/faculty/alexiou/dig_design/index_files/fylladio/oscillator.pdf

[3] Το Forum του Εργ. Λογικής Σχεδίασης (Αρχική σελίδα → Εργαστήριο Λογικού Σχεδιασμού → Εργ. Άσκηση 7)