

**ΠΑΝΕΠΙΣΤΗΜΙΟ ΠΑΤΡΩΝ**  
**ΠΟΛΥΤΕΧΝΙΚΗ ΣΧΟΛΗ**

---

Τμήμα Μηχανικών Ηλεκτρονικών Υπολογιστών &  
Πληροφορικής

*Μέθοδοι Σχεδιασμού VLSI Συστημάτων*

Χ. Καβουσιανός

Γ. Φ. Αλεξίου

---

**Θεματικές Ενότητες**

---

1. Επανάληψη βασικών εννοιών σχεδιασμού VLSI κυκλωμάτων
2. Μέθοδοι σχεδίασης CMOS κυκλωμάτων
3. Σχεδίαση υποσυστημάτων CMOS
4. Επαναχρησιμοποίηση συστημάτων SOC
5. Διανομή σήματος ρολογιού σε VLSI κυκλώματα (Clock Distribution)
6. Προχωρημένα θέματα σχεδιασμού σε HDL (Verilog)

# Επανάληψη βασικών εννοιών σχεδιασμού VLSI κυκλωμάτων

---

- Λογική CMOS (βασικές πύλες)
- Θεωρία τρανζίστορ MOS (βασικές εξισώσεις)
- Κυκλώματα CMOS και Λογική σχεδίαση (λογικές δομές)

# Μέθοδοι σχεδίασης CMOS κυκλωμάτων

---

- Στρατηγικές σχεδίασης
- Δυνατότητες σχεδίασης Ολοκληρωμένων CMOS
- Συνθέσεις κυκλωμάτων
- Εργαλεία επαλήθευσης σχεδίασης
- Οικονομική Ανάλυση

## Σχεδίαση υποσυστημάτων CMOS

---

- Αριθμητικά Κυκλώματα (Αθροιστές / Αφαιρέτες / Πολλαπλ/στές, Γεννήτριες Ισοτιμίας, Συγκριτές, Μετρητές, Ολισθητές)
- Στοιχεία Μνημών
- Μηχανές Πεπερασμένων Καταστάσεων

## Επαναχρησιμοποίηση συστημάτων SOC

---

- Σχεδιασμός με στόχο την επαναχρησιμοποίηση
- Διαδικασία σχεδιασμού SOC
- Θέματα σχεδιασμού σε επίπεδο συστήματος
- Διαδικασία σχεδιασμού MACROs
- Κωδικοποίηση RTL
- Σύνθεση - Επιβεβαίωση MACROs
- Ολοκλήρωση συστήματος με επαναχρησιμοποιούμενα MACROs

## Διανομή σήματος ρολογιού σε VLSI κυκλώματα (Clock Distribution)

---

- Είδη ρολογιών και αποθηκευτικά στοιχεία
- Clock Skewing
- Ασύμμετρη αλληλεπίδραση κυκλωμάτων και αποτυχία συγχρονισμού
- Self-Timed ασύγχρονα συστήματα
- Δέντρο H-Clock

## Προχωρημένα θέματα σχεδιασμού σε HDL (Verilog)

---

- Ψηφιακός Σχεδιασμός με την Verilog HDL
- Λογική Σύνθεση με την Verilog HDL
- Προτάσεις αποδοτικής σύνθεσης