

## Διπλωματικές εργασίες του ακαδημαϊκού έτους 2009-2010

### 1. Cross –talk reduction techniques.

Λόγω της υλοποίησης συστημάτων σε ένα ολοκληρωμένο κύκλωμα (System-on-Chip, SOC) με τεχνολογίες πολύ μικρών διαστάσεων (deep submicron technologies) υπάρχουν αρτηρίες που οι γραμμές τους βρίσκονται πολύ κοντά η μία στην άλλη και έχουν πολύ μεγάλο μήκος. Αυτό έχει ως συνέπεια το σήμα που διαδίδεται κατά μήκος μιας γραμμής να επηρεάζεται από τα σήματα που διαδίδονται κατά μήκος των γειτονικών γραμμών (Cross –talk). Τότε αφενός αυξάνεται ο χρόνος που απαιτείται για τη διάδοση των σημάτων κατά μήκος των γραμμών της αρτηρίας και αφετέρου επηρεάζεται η ακεραιότητα των σημάτων που διαδίδονται. Για τη μείωση της αλληλεπίδρασης των σημάτων που διαδίδονται κατά μήκος μιας αρτηρίας έχουν προταθεί διάφορες τεχνικές. Στην εργασία αυτή θα μελετήσουμε τις υπάρχουσες τεχνικές και θα αναπτύξουμε μια νέα τεχνική η οποία θα συγκρίνεται ευνοϊκά με τις υπάρχουσες τεχνικές. Μια αρτηρία χωρίς καμία τεχνική μείωσης της αλληλεπίδρασης των σημάτων και μια αρτηρία που θα υλοποιεί την προτεινόμενη τεχνική θα υλοποιηθούν χρησιμοποιώντας τα εργαλεία CADENCE, θα ληφθούν οι απαραίτητες μετρήσεις και θα γίνουν οι απαιτούμενες συγκρίσεις.

**Υπεύθυνοι:** Δ. Νικολός και Θ. Χανιωτάκης

### 2. Post-silicon debug techniques

Είναι γνωστό ότι κάθε φάση σχεδίασης ενός συστήματος ακολουθεί μια φάση επιβεβαίωσης ορθής σχεδίασης (design verification). Σκοπός της επιβεβαίωσης ορθής σχεδίασης είναι να εξασφαλίσουμε ότι το σύστημα έχει σχεδιαστεί να λειτουργεί σύμφωνα με τις προδιαγραφές. Λόγω του ότι η ποιότητα της επιβεβαίωσης ορθής σχεδίασης εξαρτάται από το χρόνο που δαπανάται για τη διαδικασία αυτή, της μεγάλης πολυπλοκότητας των σημερινών συστημάτων και της απαίτησης για μείωση του χρόνου που θα παρέλθει έως ότου το σύστημα βγει στην αγορά αφενός, και των περιορισμών που έχουμε στην εξομοίωση όλων των φυσικών χαρακτηριστικών του συστήματος, οι τεχνικές αυτές επιβεβαίωσης ορθής σχεδίασης δεν εγγυώνται ότι το πρώτο ολοκληρωμένο κύκλωμα, το οποίο υλοποιεί το σύστημα, που θα κατασκευαστεί δεν θα έχει σχεδιαστικά λάθη. Για να μειώσουμε το χρόνο που το σύστημα θα βγει στην αγορά είναι επιτακτικό τα σχεδιαστικά λάθη να αναγνωριστούν και να επιδιορθωθούν το συντομότερο δυνατόν. για να είναι δυνατή η γρήγορη αναγνώριση των σχεδιαστικών σφαλμάτων το σύστημα θα πρέπει να σχεδιαστεί κατάλληλα. Έχουν αναπτυχθεί για το σκοπό αυτό διάφορες τεχνικές. Οι τεχνικές αυτές θα μελετηθούν, θα συγκριθούν και θα αναπτυχθεί νέα τεχνική η οποία θα συγκρίνεται ευνοϊκά σε σχέση με τις ήδη γνωστές τεχνικές.

**Υπεύθυνος:** Δ. Νικολός

### 3. Soft errors mitigation

Η επίδραση της ακτινοβολίας στην ορθή λειτουργία των δυναμικών ημιαγωγικών μνημών είναι γνωστή για πολλά χρόνια. Γι' αυτό το λόγο έχουν αναπτυχθεί διάφορες τεχνικές που προσπαθούν να λύσουν αυτό το πρόβλημα των μνημών σε διάφορα επίπεδα. Καθώς όμως για τη σχεδίαση ολοκληρωμένων κυκλωμάτων χρησιμοποιούμε τεχνολογίες όλο και μικρότερων διαστάσεων (deep submicron technologies) η ακτινοβολία επηρεάζει την ορθή λειτουργία όχι μόνο των μνημών αλλά

και των υπόλοιπων κυκλωμάτων, προκαλώντας μεταβατικά λάθη (soft errors). Στην εργασία αυτή θα αναπτύξουμε τεχνικές μείωσης των μεταβατικών λαθών που εμφανίζονται στα κυκλώματα λόγω ακτινοβολίας και των συνεπειών τους στην ορθή λειτουργία του κυκλώματος. Οι τεχνικές που θα αναπτυχθούν θα υλοποιηθούν σε κάποια κυκλώματα.

**Υπεύθυνος:** Δ. Νικολός

#### **4. Graceful degradation for yield enhancement and availability in superscalar processors**

Οι υπερβαθμωτοί επεξεργαστές διαθέτουν περισσότερες από μία λειτουργικές μονάδες για την εκτέλεση της ίδιας λειτουργίας. Αυτό είναι που θα εκμεταλλευτούμε στην παρούσα εργασία για να βελτιώσουμε την απόδοση της γραμμής παραγωγής των υπερβαθμωτών επεξεργαστών καθώς επίσης και τη διαθεσιμότητά τους στο πεδίο εφαρμογής. Θα αναπτυχθούν νέες τεχνικές και θα διερευνηθεί η συνέπεια της εφαρμογής τους στην απόδοση των υπερβαθμωτών επεξεργαστών. Θα σχεδιαστούν λειτουργικές μονάδες χρησιμοποιώντας VERILOG και θα γίνουν εξομοιώσεις των υπερβαθμωτών επεξεργαστών χρησιμοποιώντας τον εξομοιωτή SIMPLESCALAR. Θα γραφεί κώδικας σε C για την υλοποίηση του μηχανισμού αποστολής εντολών προς εκτέλεση στις λειτουργικές μονάδες του επεξεργαστή.

**Υπεύθυνοι:** Δ. Νικολός και Γ. Κεραμίδας

#### **5. Fault simulation acceleration with multi-core systems (CUDA)**

Η εξομοίωση σφαλμάτων χρησιμοποιείται για να βρούμε τα κατασκευαστικά σφάλματα (τα σφάλματα τα οποία υπεισέρχονται κατά τη διαδικασία κατασκευής ενός ολοκληρωμένου κυκλώματος, όχι τα σχεδιαστικά σφάλματα) τα οποία ανιχνεύονται από ένα δεδομένο σύνολο διανυσμάτων δοκιμής. Λόγω της αυξανόμενης πολυπλοκότητας των συστημάτων η εξομοίωση σφαλμάτων είναι μία χρονοβόρα διαδικασία. Στην εργασία αυτή θα διερευνήσουμε τρόπους υλοποίησης των αλγορίθμων εξομοίωσης σφαλμάτων σε υπολογιστές πολλαπλών πυρήνων. Οι αλγόριθμοι θα υλοποιηθούν στη γλώσσα προγραμματισμού C και θα εκτελεστούν για τα σύνολα δοκιμής διάφορων κυκλωμάτων. Θα γίνουν συγκρίσεις για να βρεθεί ποιος είναι ο πλέον κατάλληλος αλγόριθμος για υπολογιστές πολλαπλών πυρήνων. Θα χρησιμοποιηθεί ένα υπολογιστικό σύστημα με 240 επεξεργαστές.

**Υπεύθυνοι:** Δ. Νικολός και Θ. Χανιωτάκης