

Τμήμα Μηχ. Η/Υ & Πληροφορικής Τομέας Υλικού και Αρχιτεκτονικής Εργαστήριο Λογικής Σχεδίασης

Οδηγίες για την Εργ. Άσκηση 7

Εισαγωγή

Για την Άσκηση 7 θα χρησιμοποιηθεί το ολοκληρωμένο **74LS112** (*DUAL JK FLIP-FLOPS WITH PRESET AND CLEAR*). Ο πίνακας λειτουργίας (*function table*) και το διαγραμματικό για το ολοκληρωμένο αυτό είναι στη σελίδα 48 του φυλλαδίου.

ΠΡΟΣΟΧΗ στις συνδέσεις για τα **Vcc** και **GND**.

ΓΙΑ ΤΗ ΜΕΛΕΤΗ ΣΑΣ ΓΙΑ ΤΗΝ ΠΡΟΕΤΟΙΜΑΣΙΑ ΤΗΣ ΑΣΚΗΣΗΣ ΣΤΟ ΣΠΙΤΙ ΕΙΝΑΙ ΑΠΑΡΑΙΤΗΤΗ Η ΕΠΙΣΚΕΨΗ ΣΑΣ ΣΤΟ FORUM ΤΟΥ ΕΡΓ. ΛΟΓΙΚΗΣ ΣΧΕΔΙΑΣΗΣ (ΒΛΠ. [3] ΣΤΙΣ ΑΝΑΦΟΡΕΣ ΣΤΟ ΤΕΛΟΣ ΤΩΝ ΟΔΗΓΙΩΝ) ΚΑΙ ΠΙΟ ΣΥΓΚΡΕΚΡΙΜΕΝΑ Η ΜΕΛΕΤΗ ΤΩΝ ΔΗΜΟΣΙΕΥΣΕΩΝ ΠΟΥ ΕΧΟΥΝ ΓΙΝΕΙ ΓΙΑ ΤΗΝ ΑΣΚΗΣΗ 7.

ΔΙΑΔΙΚΑΣΙΑ

Ερωτήματα A.1 και A.2

Οι ομάδες καλούνται να υλοποιήσουν έναν σύγχρονο μετρητή των 4 bit. Αμέσως μετά την υλοποίηση και τον έλεγχο της σωστής λειτουργίας του μετρητή, οι ομάδες θα προβούν στη σύνδεση της εξόδου Q3 (από τον ακροδέκτη/έξοδο του chip και **ΟΧΙ** από την είσοδο του LED2) στο **CH1** του παλμογράφου και του σήματος CLK στο **CH2**. Ρυθμίσεις στο παλμογράφο και/ή στη γεννήτρια είναι απαραίτητες ώστε στην οθόνη του παλμογράφου να εμφανιστούν **καθαρά οι αναμενόμενες «ακολουθίες χρονισμού» που θα έχουν ΗΔΗ σχεδιαστεί στα Πρόχειρά σας από το σπίτι.**

ΘΑ ΠΡΕΠΕΙ ΟΛΟΙ ΝΑ ΕΙΣΤΕ ΕΝΗΜΕΡΩΜΕΝΟΙ ΣΧΕΤΙΚΑ ΜΕ ΤΙΣ ΒΑΣΙΚΕΣ ΛΕΙΤΟΥΡΓΙΕΣ ΚΑΙ ΡΥΘΜΙΣΕΙΣ ΤΟΥ ΕΡΓ. ΠΑΛΜΟΓΡΑΦΟΥ – [2].

Ερωτήματα A.3 και A.4

Οι ομάδες καλούνται να υλοποιήσουν έναν ασύγχρονο μετρητή (ριπής) των 4 bit που θα έχει τη δυνατότητα να μετράει **UP** (συνεχώς αύξουσα μέτρηση) ή **DOWN** (συνεχώς μειούμενη μέτρηση). Ο έλεγχος **UP/DOWN** του μετρητή θα γίνεται με τη χρήση **ΕΝΟΣ ΜΟΝΟ** βοηθητικού σήματος που θα οδηγείται από **ΕΝΑΝ ΜΟΝΟ** διακόπτη (SW5) και **ΔΕ ΘΑ ΧΡΗΣΙΜΟΠΟΙΗΘΕΙ ΔΕΥΤΕΡΟΣ ΔΙΑΚΟΠΤΗΣ ΓΙΑ ΤΟ “DOWN”**. Ο διακόπτης που θα χρησιμοποιηθεί για τα UP/DOWN θα έχει δύο θέσεις, τις **λογικό 1** (UP) και **λογικό 0** (DOWN). Η συγκεκριμένη περιγραφή «φωτογραφίζει» τη χρήση ενός αντιστροφέα (inverter).

Σε κάθε περίπτωση τα UP – DOWN **ΔΕ ΘΑ ΠΡΕΠΕΙ ΝΑ ΠΑΙΡΝΟΥΝ ΤΑΥΤΟΧΡΟΝΑ ΤΙΣ ΤΙΜΕΣ 0 ΚΑΙ 1** (δηλαδή ο μετρητής θα μετρά είτε UP είτε DOWN).

Αμέσως μετά την υλοποίηση και τον έλεγχο της σωστής λειτουργίας του μετρητή, οι ομάδες θα προβούν στη σύνδεση της εξόδου Q4 (από τον ακροδέκτη/έξοδο του chip και **ΟΧΙ** από την είσοδο του LED3) στο **CH1** του παλμογράφου και του σήματος CLK στο **CH2**. Ρυθμίσεις στο παλμογράφο και/ή στη γεννήτρια είναι απαραίτητες ώστε στην οθόνη του παλμογράφου να εμφανιστούν **καθαρά οι αναμενόμενες κυματομορφές χρονισμού που έχουν ΗΔΗ σχεδιαστεί στα Πρόχειρά σας από το σπίτι.**

Τα αναμενόμενα Σήματα Χρονισμού (που θα έχετε σχεδιάσει από το σπίτι) θα είναι της ίδιας μορφής με τα αντίστοιχα που βρίσκετε στο [1]. Παραδείγματα: - Σχ. 6-17, σελ. 334, Μ. Mano, 3η και 4η έκδοση. - Σχ. 6-19, σελ. 343, Μ. Mano, 3η και 4η έκδοση.

ΘΑ ΠΡΕΠΕΙ ΟΛΟΙ ΝΑ ΕΙΣΤΕ ΕΝΗΜΕΡΩΜΕΝΟΙ ΣΧΕΤΙΚΑ ΜΕ ΤΙΣ ΒΑΣΙΚΕΣ ΛΕΙΤΟΥΡΓΙΕΣ ΚΑΙ ΡΥΘΜΙΣΕΙΣ ΤΟΥ ΕΡΓ. ΠΑΛΜΟΓΡΑΦΟΥ – [2].

Ερωτήματα Β.1 και Β.2

ΚΑΜΙΑ ΟΜΑΔΑ ΔΕ ΘΑ ΠΡΟΧΩΡΗΣΕΙ ΣΕ ΑΥΤΑ ΤΑ ΕΡΩΤΗΜΑΤΑ ΠΡΙΝ ΟΛΟΚΛΗΡΩΣΕΙ ΤΑ ΕΡΩΤΗΜΑΤΑ ΤΟΥ ΜΕΡΟΥΣ Α΄.

Στο ερώτημα (Β.1) ζητείται η υλοποίηση ενός *προγραμματιζόμενου δυαδικού μετρητή* των 4 bit. Ωστόσο, το κύκλωμα που απαιτείται για να σχεδιαστούν οι ζητούμενες ακολουθίες χρονισμού του ερωτήματος (Β.2) είναι αυτό ενός *προγραμματιζόμενου μετρητή modulo N*. (Ανατρέξτε στους ορισμούς που δίνονται στο *Φυλλάδιο* και/ή στο βασικό σύγγραμμα - [1]). Το κύκλωμα του (Β.2) δύναται να προκύψει από αυτό του (Β.1) με χρήση μιας **ελάχιστης** πλην όμως κατάλληλης επέκτασης του με έναν συνδυασμό συνδυαστικής και ακολουθιακής λογικής.

Αναφορές

[1] «Ψηφιακή Σχεδίαση», Μ. Morris Mano.

[2] «Εγχειρίδιο του Εργαστηριακού Παλμογράφου»

http://www.ceid.upatras.gr/faculty/alexiou/dig_design/index_files/fylladio/oscilat or.pdf.

[3] Το Forum του Εργ. Λογικής Σχεδίασης (Αρχική σελίδα □ Εργαστήριο Λογικού Σχεδιασμού □ Εργ. Άσκηση 7)___