

LOW POWER TESTING

Προβλήματα και τεχνικές

1

Προβλήματα

□ Προβλήματα

- Πιθανές βλάβες κατά την διάρκεια της διαδικασίας λόγω αυξημένης διακοπτικής δραστηριότητας και συνήθως μη ποιοτικού packaging που οδηγούν σε υπερβολική αύξηση της θερμοκρασίας και σε φαινόμενα μετανάστευσης μετάλλου
- Αυξημένος θόρυβος που οδηγεί σε λάθος συμπεράσματα
- Τα test vectors είναι από τη φύση τους ασυσχέτιστα
- Δυσκολίες στη διαδικασία του performance verification
- Χαμηλή αυτονομία και παράλληλη εμφάνιση πολλών φορητών συσκευών με υψηλές απαιτήσεις για αυτονομία
- Υψηλός βαθμός ολοκλήρωσης
 - Ανάγκη για at-speed testing
 - Ανεπαρκείς μέθοδοι ψύξης ιδιαίτερα για testing πάνω στο wafer (bare-die testing)
- Όσον αφορά στο BIST (Built In Self Test) επειδή είναι πιο αργό καταναλώνει περισσότερη ενέργεια
- Μείωση του yield

2

Προκλήσεις

- ❑ Ο συνεχώς αυξανόμενος βαθμός ολοκλήρωσης δυσκολεύει την ψύξη (η κατανάλωση ισχύος μπορεί να διπλασιαστεί)
- ❑ Το testing είναι ακριβή και δύσκολη διαδικασία που διευκολύνεται από τεχνικές DFT
 - Area overhead
 - Fault coverage
 - Test application time
 - Test development effort

Λόγοι αύξησης της ισχύος

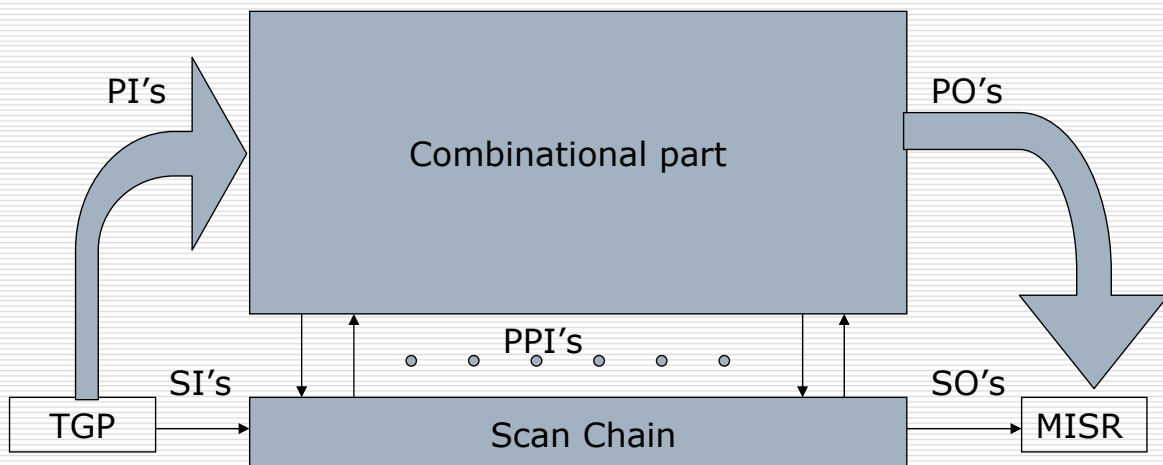
- ❑ Άμεσος συσχετισμός μεταξύ αποδοτικού testing και υψηλής διακοπτικής λειτουργίας
- ❑ Parallel testing για λόγους ταχύτητας
- ❑ Τα κυκλώματα για DTF είναι idle κατά την διάρκεια κανονικής λειτουργίας
- ❑ Ασυσχέτιστα διανύσματα εισόδου κατά το testing

Λύσεις στην βιομηχανία

- Αύξηση της παροχής ισχύος, του συνολικού package και της ψύξης
- Testing με μειωμένη συχνότητα λειτουργίας
 - Μείωση του hardware αλλά ανεπαρκές testing όσον αφορά στην ανίχνευση δυναμικών σφαλμάτων
 - Ναι μεν μείωση της ισχύος αλλά όχι και της καταναλισκόμενης ενέργειας
- System-under-test partitioning και κατάλληλος σχεδιασμός της διαδικασίας
 - Αύξηση του hardware και του απαιτούμενου χρόνου

5

Γενικό σχήμα testing



6

Low power external testing techniques

- Low power ATPG algorithms
 - Εκμετάλλευση των don't-care bits που τυχόν παράγονται
 - Πλεονασμός των test patterns ώστε να επιλεχθεί υποσύνολο με χαμηλή κατανάλωση (46%-86% μείωση)

7

Low power external testing techniques

- Ordering techniques
 - Χρήση γράφων (κόμβος→test pattern, ακμή→αριθμός μεταβάσεων στο κύκλωμα ή Hamming distance για χαμηλότερη πολυπλοκότητα) και greedy αλγορίθμων για εύρεση μονοπατιού Hamilton
 - Pattern reordering με βάση τα χαρακτηριστικά του κυκλώματος και scan chain reordering για ακολουθιακά (εώς 34% μείωση)

8

Low power external testing techniques

- Input Control
 - Για ακολουθιακά κυκλώματα σαν συμπληρωματική μέθοδος
- Vector compaction and Data compression
- Scan chain transformation
 - Σπάσιμο σε πολλαπλές scan chains
 - Διατήρηση του test time, όχι απαίτηση για εξειδικευμένα patterns, διατήρηση του scan clock rate
 - Βελτίωση ως 76% της μέγιστης ισχύος

9

Low power external testing techniques

- Clock Scheme Modification
 - Παραγωγή κατάλληλου test set ώστε να μπορούν τα ρολόγια κάποιων scan chains να απενεργοποιούνται για κάποιο υποσύνολο του test set αφού το clock tree συνεισφέρει πολύ στην κατανάλωση
 - Μείωση του clock κατά την διαδικασία του shifting χωρίς να μεγαλώνει το test time.

10

Low Power Built-In Self Test (BIST) Techniques

□ Test Scheduling

- Προγραμματισμός του χρόνου έναρξης λειτουργίας του κάθε BIST στοιχείου
- Μειωμένη ισχύς, αλλά ίδια κατανάλωση ενέργειας και αυξημένος χρόνος λειτουργίας

□ Low Power Test Pattern Generators

- Dual Speed LFSR (είσοδοι με μεγάλη ταχύτητα εναλλαγής συνδέονται στο LFSR χαμηλής ταχύτητας) μειώνουν αρκετά την μέση ισχύ και την ενέργεια
- Modified LFSR (gated clock schemes)
- LFSR με βάρη

11

Low Power Built-In Self Test (BIST) Techniques

□ Circuit Partitioning

- Χρονοπρογραμματιζόμενη λειτουργία πολλαπλών BIST στοιχείων

□ Low Power RAM Testing

- Reordering τεχνικές στις λειτουργίες read, write και στο τρόπο εναλλαγής διευθύνσεων

12

Βιβλιογραφία

- Σχεδίαση ολοκληρωμένων κυκλωμάτων CMOS VLSI (N.W.Weste, K.Eshraghian)
- Low-Power Digital (Srikanth Rao M)
- Low Power Digital CMOS Design (A.Chandrakasan, Brodersen)
- A survey of Optimization Techniques Targeting Low Power VLSI Circuits (Srinivas Devadas, Sharad Malik)
- Low Power Design Methodologies
- Survey of Low-Power Testing of VLSI Circuits (Patrick Girard)