

Low power techniques

Τεχνικές βελτιστοποίησης με σκοπό την επίτευξη χαμηλής κατανάλωσης ισχύος

Γενικά

Τεχνικές βιομηχανίας

- ❑ **Μείωση χωρητικότητας chip και package**
Μέσω process development πολύ αποτελεσματική αλλά και πολύ ακριβή
 - ❑ **Scaling τάσης λειτουργίας**
Πολύ αποτελεσματική αλλά απαιτεί επανασχεδιασμό γραμμής παραγωγής
 - ❑ **Χρήση στρατηγικών διαχείρισης ενέργειας**
Στατιστικές και δυναμικές τεχνικές
 - ❑ **Χρήση καλύτερων τεχνικών σχεδιασμού**
Μικρότερη απαιτούμενη επένδυση σε σχέση με τις παραπάνω
-

Γενικά

- Οι περισσότερες από τις βελτιστοποιήσεις βασίζονται στην ελαχιστοποίηση της διακοπτικής δραστηριότητας διότι αποτελεί το 90% της συνολικής καταναλωμένης ισχύος. (κάνοντας χρήση καλά ορισμένων πυλών)
 - Είναι δυνατή η βελτιστοποίηση σε πολλά επίπεδα με τις υψηλού επιπέδου να είναι πιο αποδοτικές
 - Επίπεδα Εφαρμογής τεχνικών
 - Physical design Level
 - Circuit Level
 - Logic Level & RTL
 - Architectural or Behavior Level
 - System Level
 - Software
-

Physical design Level

Γνωστότερες τεχνικές

- Χρήση δικτύων με βάρη (net weights)
 - Netlist partitioning
 - Floor planning
 - Placement
 - Routing
 - Σμίκρυνση transistors εκτός critical paths
 - Αντικατάσταση μεγάλων χωρητικών φορτίων με σειρές βέλτιστων αντιστροφών
 - Buffered Clock trees με σκοπό την ελαχιστοποίηση του φορτίου εισάγοντας όμως Clock skew
-

Circuit Level

Βελτιστοποιήσεις ανεξάρτητων πυλών και συνδυαστικών κυκλωμάτων

- ❑ **Τεχνικές Ανακύκλωσης ενέργειας** : Χρήση της αρχής της αδιαβατικής εναλλαγής ώστε να γίνεται χρήση ενέργειας που μετατρέπεται σε θερμότητα αυξάνοντας όμως το delay.
 - ❑ **Complex Gate Design – pin reordering** : Κατά τον σχεδιασμό πολύπλοκων πυλών πχ $f=(a+b)*c$ η συνετή τοποθέτηση των ανεξάρτητων transistors μπορεί να βελτιώσει τόσο την κατανάλωση όσο και την καθυστέρηση της πύλης
 - ❑ **Transistor Sizing** : Τεχνική που υπολογίζεται το μέγεθος του κάθε τρανζίστορ έτσι ώστε να ικανοποιούνται οι κρίσιμες χρονικές απαιτήσεις με σκοπό την χαμηλή κατανάλωση.
-

Logic Level

Περιλαμβάνει βελτιστοποιήσεις συνδυαστικών και ακολουθιακών κυκλωμάτων στο λογικό επίπεδο.

- ❑ Συνδυαστικά κυκλώματα
Οι τεχνικές περιλαμβάνουν δυο φάσεις
 - **Technology independent**: επεξεργασία λογικών εξισώσεων με σκοπό την μείωση χώρου, καθυστέρησης ή κατανάλωσης
 - **Technology dependent**: αντιστοίχιση εξισώσεων σε συγκεκριμένη τεχνολογία κάνοντας χρήση Βιβλιοθηκών και Mapping αλγορίθμων πάλι προσανατολισμένους σε χώρο, χρόνο και κατανάλωση.
-

Logic Level

Συνδυαστικά κυκλώματα - Φάση Α

□ **Don't care βελτιστοποίηση**

Για κάθε πύλη ορίζεται ένα don't care σύνολο ελεγχιμότητας (controllability) και παρατηρισιμότητας (observability).

■ **Controllability don't care set** : Συνδυασμοί εισόδων που δεν προκύπτουν ποτέ στις εισόδους της πύλης

■ **Observability don't care set**: Συνδυασμοί εισόδων που δίνουν το ίδιο αποτέλεσμα στην έξοδο της πύλης.

Η τεχνική αυτή κάνει χρήση των πιθανοτήτων της κάθε πύλης να βρεθεί στην 0 ή 1 κατάσταση και των παραπάνω συνόλων ώστε να γίνουν οι σωστές τροποποιήσεις των εξισώσεων δίνοντας εξισώσεις με λιγότερες εναλλαγές των εξόδων των πυλών

Logic Level

Συνδυαστικά κυκλώματα - Φάση Α

□ **Path balancing**

Οι λανθασμένες – προσωρινές (spurious) μεταβάσεις των πυλών αποτελούν το 10% με 40 % της συνολικής κατανάλωσης

Η τεχνική αυτή εξαλείφει τις λανθασμένες αυτές μεταβάσεις εξισώνοντας της καθυστερήσεις όλων των μονοπατιών του κυκλώματος (χρήση delay-buffers στις πύλες εισόδου).

Η προσθήκη δεν αυξάνει την συνολική καθυστέρηση αλλά αυξάνει την χωρητικότητα γεγονός που αντισταθμίζει την βελτίωση.

□ **Factorization (παραγοντοποίηση)**

Παραγοντοποίηση των εξισώσεων με σκοπό την ελάττωση του αριθμού των πυλών και του αριθμού των μεταβάσεων. Πχ $a*c + a*d + b*c + b*d = (a+b)*(c+d)$.

Γνωστοί αλγόριθμοι όπως *kernel extraction* (στόχος ο χώρος) μπορούν να χρησιμοποιηθούν με συνάρτηση κόστους την διακοπτική δραστηριότητα αντί του αριθμού των γραμμών της εξίσωσης

Logic Level

Συνδυαστικά κυκλώματα - Φάση Β

□ **Technology mapping**

- Μετά την Φάση Α πρέπει οι εξισώσεις να αντιστοιχηθούν σε συγκεκριμένη βιβλιοθήκη η οποία περιέχει βελτιστοποιημένες πύλες σε μια επιλεγμένη τεχνολογία.
 - Η τελευταίες τεχνικές αντιστοίχισης κάνουν χρήση γράφων που εξασφαλίζουν την σωστή αντιστοίχιση με την βοήθεια συναρτήσεων χώρου , καθυστέρησης αλλά και κατανάλωσης ισχύος .
 - Η βέλτιστη λύση που προσφέρουν είναι πολυωνυμικού χρόνου
-

Logic Level

Ακολουθιακά κυκλώματα

Οι τεχνικές βελτιστοποίησης στα ακολουθιακά κυκλώματα συνήθως εφαρμόζονται σε δυο αφαιρετικά επίπεδα

- Επίπεδο γράφου καταστάσεων-μεταβάσεων(State Transition Graph level)
- Επίπεδο Λογικών πυλών και flip-flip

Τεχνικές

□ Κωδικοποίηση (Encoding): Έχει πολλές εφαρμογές

■ **Αναπαράσταση της κατάστασης**

Η τεχνική αυτή κάνει χρήση της γνωστής τεχνικής κωδικοποίησης των καταστάσεων του κυκλώματος με σκοπό τον βέλτιστο χώρο.

Έτσι σε καταστάσεις που έχουν πολλές ακμές μεταξύ τους δίνονται κοντινές κωδικοποιήσεις (μόνο μία αλλαγή ψηφίου) έτσι ώστε να ελαχιστοποιηθεί η διακοπτική δραστηριότητα των εξόδων των flip-flops

Logic Level Ακολουθιακά κυκλώματα

■ Data paths

Τεχνική κωδικοποίηση Data path . Γίνεται χρήση μίας επιπλέον γραμμής E στο bus η οποία καθορίζει αν τα δεδομένα αποστέλλονται κανονικά ή συμπληρωμένα. Η τιμή του E καθορίζεται έτσι ώστε κάθε νέα πληροφορία στο bus να προκαλεί τις ελάχιστες μεταβάσεις στα ήδη υπάρχουσα σε αυτό

■ Κωδικοποιήσεις διαφορετικές της two's complement

Περιλαμβάνει κωδικοποιήσεις που ελαχιστοποιούν την διακοπτική δραστηριότητα όπως one-hot residue σε αριθμητικές λογικές ,grey code

□ Retiming

Γνωστή τεχνική για επανατοποθέτηση των Flip-flops σε σύγχρονο κύκλωμα με σκοπό την ελαχιστοποίηση του απαιτούμενου χρονισμού. Η τεχνική αυτή μειώνει την διακοπτική δραστηριότητα διότι υπάρχουν πολύ λιγότερες τυχαίες – προσωρινές (spurious) μεταβάσεις αφού το clock φιλτράρει της μεταβάσεις αυτές.

Υπάρχουν πολλοί αλγόριθμοι που δουλεύουν σε πολυωνυμικό χρόνο

Logic Level Ακολουθιακά κυκλώματα

□ Gated Clocks

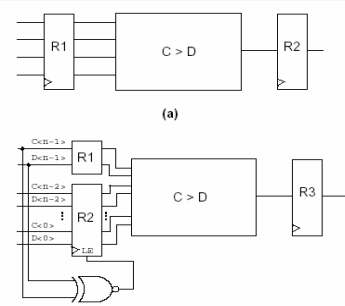
Τεχνική που απενεργοποιεί κομμάτια του κυκλώματος (register files , arithmetic units , control logic) τα οποία δεν χρησιμοποιούνται με ακινητοποίηση του ρολογιού τους μέσω λογικής.

□ Precomputation

Τεχνική η οποία απενεργοποιεί υπομήματα του κυκλώματος στην περίπτωση που η τιμή αυτών δεν επηρεάζει την έξοδο.

Επιλεγμένες κατάλληλα εισοδοι και έξοδοι του κυκλώματος προ υπολογίζονται έναν κύκλο πριν και οι τιμές τους χρησιμοποιούνται ώστε να επιλεγούν τα τμήματα τα οποία θα απενεργοποιηθούν .

Καθορισμό υπομημάτων: Don't care observability, loop-edges σε finite machines κτλ



Architectural or Behavior Level

Βασική απαίτηση είναι η πρόβλεψη ή ανάλυση της κατανάλωσης σε έναν σύστημα σύνθεσης.

Η behavioral synthesis στην διαδικασία της αντιστοίχισης υψηλού επιπέδου περιγραφές σε RTL .

Τεχνικές μετατροπής περιγραφής

- ❑ **Μείωση των βημάτων ελέγχου** : Μικρότερα ρολόγια με ίδιο throughput επιτρέποντας χαμηλότερες τάσης τροφοδοσίας
 - ❑ **Μείωση απαιτούμενης χωρητικότητας** : Βασισμένες σε flow control παραμέτρους όπως αριθμός πράξεων , αριθμός ακμών κτλ.
 - ❑ **Αύξηση της τοπικότητας** : λιγότερες προσβάσεις σε εξωτερικά κυκλώματα πχ Memories , Buses , ALUs
 - ❑ **Χρήση "βιβλιοθήκης" κυκλωμάτων** : Με γνώμονα Delay / power για την κατάλληλη επιλογή του σωστού κυκλώματος
-

System & Software

Τεχνικές που εφαρμόζονται σε ένα συστημα στο επίπεδο πλακέτας

- ❑ Ανενεργά τμήματα μπαίνουν σε power safe κατάσταση
- ❑ Τμήματα τροφοδοτούνται με διαφορετικές τάσεις τροφοδοσίας

Embedded systems αποτελούνται τόσο από H/W & S/W.

- ❑ Πρόβλημα: Οι τεχνικές υπολογισμού και βελτιστοποίησης κατανάλωσης είναι μόνο για H/W
 - Μέτρηση ρεύματος που καταναλώνεται κατά την διάρκεια εκτέλεσης εντολών assembly.
 - Δημιουργία Instruction level μοντέλα κατανάλωσης για κάθε CPU
- Έτσι δίνεται η δυνατότητα μείωσης και ελέγχου κατανάλωσης μέσω S/W.
- ❑ Γενικά αποδεικνύεται [V. Tiwari '94] ότι βελτιστοποιήσεις αλγορίθμων με σκοπό την αύξηση απόδοσης και μείωση αριθμού προσπελάσεων μνήμης οδηγούν σε ενεργειακά αποδοτικό κώδικα.
 - ❑ Σειρά εντολών επηρεάζει κατανάλωση ειδικά DSPs.
-